

JO-PO1530500

JCG78 U.S. PRO  
10/084318 02/26/02

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日  
Date of Application: 2001年 2月 28日

出願番号  
Application Number: 特願2001-053406  
[ST.10/C]: [JP 2001-053406]

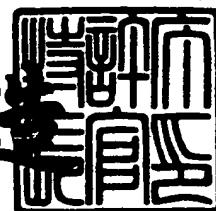
出願人  
Applicant(s): ソニー株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2002年 1月 29日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2002-3002291

【書類名】 特許願  
【整理番号】 0100079502  
【提出日】 平成13年 2月28日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H03F 3/189  
H04B 1/04

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内

【氏名】 扇原 孝浩

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100086298

【弁理士】

【氏名又は名称】 船橋 國則

【電話番号】 046-228-9850

【手数料の表示】

【予納台帳番号】 007364

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904452

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路およびこれを用いた無線通信装置

【特許請求の範囲】

【請求項1】 ゲートに与えられる入力信号を増幅する少なくとも1段の信号増幅用トランジスタと、

前記入力信号の強度に応じて当該入力信号の一部を接地側へバイパスさせる第1のバイパス手段と、

前記入力信号の強度に応じて当該入力信号の一部を出力側へバイパスさせる第2のバイパス手段と

を備えたことを特徴とする半導体集積回路。

【請求項2】 前記第1のバイパス手段は、

ドレインが抵抗を介してバイアス電圧印加端子に接続されるとともに、容量を介して前記信号増幅用トランジスタのゲートに接続され、ゲートが抵抗を介して第1のバイパス制御電圧印加端子に接続された第1のバイパストラニジスタと、

一端が前記第1のバイパストラニジスタのソースに接続されるとともに、他端が抵抗を介して前記バイアス電圧印加端子に接続されかつ容量を介して接地された第1のバイアス信号強度調整用抵抗とを有する

ことを特徴とする請求項1記載の半導体集積回路。

【請求項3】 前記第1のバイパストラニジスタは、前段のトランジスタのソースが後段のトランジスタのドレインに順次接続されたM個（Mは1以上の整数）のトランジスタによって構成され、これらM個のトランジスタのゲートが各々抵抗を介して前記第1のバイパス制御電圧印加端子に接続されている

ことを特徴とする請求項2記載の半導体集積回路。

【請求項4】 前記第2のバイパス手段は、

ドレインが前記第1のバイパストラニジスタのドレインに接続され、ゲートが抵抗を介して第2のバイパス制御電圧印加端子に接続された第2のバイパストラニジスタと、

一端が前記第2のバイパストラニジスタのソースに接続されるとともに、他端が抵抗を介して前記バイアス電圧印加端子に接続されかつ容量を介して前記信号

増幅用トランジスタのドレインに接続された第2のバイアス信号強度調整用抵抗とを有する

ことを特徴とする請求項2記載の半導体集積回路。

【請求項5】 前記第2のバイパストランジスタは、前段のトランジスタのソースが後段のトランジスタのドレインに順次接続されたN個（Nは1以上の整数）のトランジスタによって構成され、これらN個のトランジスタのゲートが各々抵抗を介して前記第2のバイパス制御電圧印加端子に接続されている

ことを特徴とする請求項4記載の半導体集積回路。

【請求項6】 前記信号増幅用トランジスタおよび前記第1，第2のバイパストランジスタが化合物半導体を用いた素子で形成されている

ことを特徴とする請求項4記載の半導体集積回路。

【請求項7】 請求項1記載の半導体集積回路においてさらに、

前記第1のバイパス手段によって入力信号の一部を接地側へバイパスするとき前記信号増幅用トランジスタのドレンバイアス電流を減じ、また前記第2のバイパス手段によって入力信号の一部を出力側へバイパスするとき前記信号増幅用トランジスタのドレンバイアス電流を遮断する制御手段を備えた

ことを特徴とする半導体集積回路。

【請求項8】 前記信号増幅用トランジスタのゲートが抵抗を介してドレンバイアス電流制御電圧印加端子に接続されており、

前記制御手段は、前記ドレンバイアス電流制御電圧印加端子に与えられるドレンバイアス電流制御電圧である

ことを特徴とする請求項7記載の半導体集積回路。

【請求項9】 前記信号増幅用トランジスタのソースが容量を介して接地されており、

前記制御手段は、各ドレンが前記信号増幅用トランジスタのソースにそれぞれ接続され、各ゲートが抵抗を介して複数のドレンバイアス電流制御電圧印加端子にそれぞれ接続された複数個のバイアス電流制御用トランジスタと、

各一端が前記複数個のバイアス電流制御用トランジスタの各ソースにそれぞれ接続され、各他端が接地された複数個のセルフバイアス抵抗とを有する

ことを特徴とする請求項7記載の半導体集積回路。

【請求項10】 前記複数個のバイアス電流制御用トランジスタが化合物半導体を用いた素子で形成されている

ことを特徴とする請求項9記載の半導体集積回路。

【請求項11】 ゲートに与えられる入力信号を増幅する少なくとも1段の信号増幅用トランジスタと、前記入力信号の強度に応じて当該入力信号の一部を接地側へバイパスさせる第1のバイパス手段と、前記入力信号の強度に応じて当該入力信号の一部を出力側へバイパスさせる第2のバイパス手段とを備えた半導体集積回路を、

受信系のフロントエンドを構成する利得制御増幅回路として用いた

ことを特徴とする無線通信装置。

【請求項12】 前記半導体集積回路はさらに、前記入力信号の強度に応じて前記信号増幅用トランジスタのドレインバイアス電流を減ずるあるいは遮断する制御手段を備えた

ことを特徴とする請求項11記載の無線通信装置。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、半導体集積回路およびこれを用いた無線通信装置に関し、特に高周波用途に適した化合物系FET（電界効果トランジスタ）半導体集積回路およびこれをRFフロントエンド部の利得制御僧服回路として用いた携帯電話などの無線通信装置に関する。

##### 【0002】

##### 【従来の技術】

携帯電話に代表される高周波無線通信装置において、そのRFフロントエンド部には高周波用途に適した化合物FET半導体集積回路が一般的に用いられる。このような半導体集積回路の一つであるRFフロントエンド増幅器では、他チャンネル信号波の相互変調歪みによる妨害を避けるために、その特性が低歪み（低歪み特性）であることが要求される。

## 【0003】

増幅器において、上記歪み特性を表す指標としては、入力3次インダーセプトポイント（IIP3）が一般的に用いられる。国内デジタルセルラー電話（PDC）やパーソナルハンディホン（PHS）では、フロントエンド増幅器として要求されるIIP3は一数dBm程度であり、ドレインバイアス電流が2～3mA程度で利得が15dB前後、IIP3として-5dBm程度が容易に実現可能であることから、実用上問題は生じない。

## 【0004】

しかし、他のシステムとして最近サービスが開始されたCDMA（Code Division Multiple Access）方式では、送受信が同時に行われるFDD（Frequency Division Duplex）方式のため、同一周波数帯を使用している他システムの信号波と送信波の回り込みによる混変調歪み妨害波が新たに生ずる。この妨害波の影響を避けるためにはより一層の低歪み特性が要求され、IIP3としては+数dBm程度の性能が必要となる。

## 【0005】

IIP3として+数dBm程度の性能を実現するためには、ドレインバイアス電流として上記の2～3倍程度は必要となる。また、さらに他チャンネル信号の相互変調歪みによる妨害に対しても、強電界、中電界、弱電界の3規格への対応が必要となるため、利得制御機能は必須である。

## 【0006】

図5は、斯かるCDMA方式で一般的に使用される1段利得制御増幅回路の従来例を示す回路図である。

## 【0007】

図5において、従来例に係る利得制御増幅回路は、増幅回路部101および利得制御回路部102からなり、入力信号RFinが印加される信号入力端子103、出力信号RFoutが導出される信号出力端子104、バイアス電圧VDD1、VDD2がそれぞれ印加されるバイアス入力端子105、106、バイアス電圧VGGが印加されるバイアス入力端子107および外部から利得制御電圧CTLが印加される利得制御端子108とを有する構成となっている。

## 【0008】

増幅回路部101は、信号入力端子103を通して入力される入力信号RFinを増幅するための信号増幅用FETQ1と、このFETQ1に対してゲートバイアス電圧を与えるためのバイアス抵抗Rg1と、FETQ1に対してドレインバイアス電圧を与えるためのチョークコイルLbとから構成されている。

## 【0009】

利得制御回路部102は、入力信号RFinを接地側にバイパスするための信号バイパス用FETQ2と、このFETQ2のゲートに利得制御電圧CTLを与えるための抵抗Rg2と、FETQ2に対してソースバイアス電圧を与えるための抵抗Rg3と、FETQ2に対してドレインバイアス電圧を与えるための抵抗Rg4と、入力信号RFinをバイパスさせるための結合容量Cbと、接地容量Csとから構成されている。

## 【0010】

この利得制御増幅回路においては、信号バイパス用FETQ2のドレイン-ソース間抵抗が、利得制御端子108へ印加する利得制御電圧CTLを変化させることで可変抵抗として動作することを利用している。そして、入力信号RFinの強度に応じて当該入力信号RFinの一部を接地側へバイパスされることによって本利得制御増幅回路の利得制御を行っている。

## 【0011】

## 【発明が解決しようとする課題】

しかしながら、上記構成の従来例に係る半導体集積回路、即ち利得制御増幅回路では、入力信号RFinの一部を接地側へバイパスさせていることから、利得制御によって利得を減衰させた分だけIIP3特性を向上できるものの、これはシステム設計上オーバースペックとなる。

## 【0012】

なぜなら、システム上利得制御を行わなければならない理由は、後段ブロックが前段で入力信号RFinが増幅されている分だけ歪み特性に対する負荷が大きくなるために、これを緩和する必要があるためだからである。したがって、前段の歪み特性、即ちIIP3特性が必要以上に改善されても、システム全体を考え

れば意味が無い。

#### 【0013】

其れよりは寧ろ、利得減衰によるIIP3特性の向上分をドレンバイアス電流、即ち消費電流の低減に振り向けた方が得策である。特に携帯電話の場合、電源がバッテリであり、小型化のためにバッテリ容量が限られている。このことから、通話や待ち受け時間を確保するためには出来るだけ低消費電流であることが要求され、低消費電流化は非常に重要である。

#### 【0014】

図6に、GaAsFETを用いた従来の利得制御增幅回路において、最大利得（利得減衰制御を行わない）時の利得とIIP3のドレンバイアス電流依存性の一例を示す。ここで、ドレンバイアス電流の調整は、バイアス入力端子107に与えられるバイアス電圧VGGを制御することによって行われる。

#### 【0015】

図6より明らかのように、ドレンバイアス電流を低減するにつれて利得が減少し、IIP3も劣化していくことが判る。CDMA携帯電話システムにおいて必要とされる強電界、中電界、弱電界の規格を利得制御ステップ幅に換算すれば約10dBに相当することから、図6において、IIP3を4～5dBm程度に保ちながら最大利得15dB付近から、5dBと-5dB付近に変化させるための条件はおおよそ図7に示すようになる。なお、図7には、IIP3を一定に保持するための利得減衰時におけるドレンバイアス電流と入力信号減衰量との関係を示している。

#### 【0016】

したがって、ドレンバイアス電流と利得減衰条件を上手く組み合わせれば、中および弱電界時において、消費電流を激減できる利点を得ることができる。しかしながら、先述した従来例に係る利得制御増幅回路では、特に1mA前後の低ドレンバイアス電流時においては、電流変動に対する利得変動が非常に大きくなるため、利得安定性やバラツキの点で問題となっていた。

#### 【0017】

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、

IIP3特性を劣化させない程度に保ちながら利得減衰時の低消費電流化を図るとともに、減衰（負の利得）時における高安定化を可能とした半導体集積回路およびこれを用いた無線通信装置を提供することにある。

【0018】

【課題を解決するための手段】

本発明による半導体集積回路は、ゲートに与えられる入力信号を増幅する少なくとも1段の信号増幅用トランジスタと、入力信号の強度に応じて当該入力信号の一部を接地側へバイパスさせる第1のバイパス手段と、入力信号の強度に応じて当該入力信号の一部を出力側へバイパスさせる第2のバイパス手段とを備えた構成となっている。

【0019】

上記構成の半導体集積回路において、入力信号の強度に応じて、第1のバイパス手段が当該入力信号の一部を接地側へバイパスさせ、第2のバイパス手段が当該入力信号の一部を出力側へバイパスされることから、これらを組み合わせて例えば強電界、中電界、弱電界の電界強度に応じてステップ的にコントロールすることにより、IIP3特性を劣化させない程度に保ちながら利得減衰制御を実現できる。

【0020】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0021】

【第1実施形態】

図1は、本発明の第1実施形態に係る半導体集積回路である利得制御高周波増幅回路を示す回路図である。

【0022】

本実施形態に係る利得制御高周波増幅回路は、増幅回路部11および第1、第2のバイパス回路部12、13からなり、入力信号RFinが印加される信号入力端子14、出力信号RFoutが導出される信号出力端子15、バイアス電圧VDD1、VDD2がそれぞれ印加されるバイアス入力端子16、17、バイア

ス電圧VGGが印加されるバイアス入力端子18および外部からバイパス制御電圧CTL1, CTL2がそれぞれ印加されるバイパス制御端子19, 20を有する構成となっている。第1, 第2のバイパス回路部12, 13は、利得制御回路部としての機能を持つ。

## 【0023】

増幅回路部11は、少なくとも1段の信号増幅用FETQ1、バイアス抵抗Rg1およびチョークコイルLbから構成されている。信号増幅用FETQ1はゲートが信号入力端子14に、ドレインが信号出力端子15にそれぞれ接続され、ソースが接地されており、信号入力端子14を通して入力される入力信号RFinを増幅して出力する。

## 【0024】

バイアス抵抗Rg1は信号増幅用FETQ1のゲートとバイアス入力端子18との間に接続されており、バイアス入力端子18に印加されるバイアス電圧VGGに応じたゲートバイアス電圧を信号増幅用FETQ1のゲートに与える。チョークコイルLbは信号増幅用FETQ1のドレインとバイアス入力端子16との間に接続されており、バイアス入力端子16に印加されるバイアス電圧VDD1に応じたドレインバイアス電圧を信号増幅用FETQ1のドレインに与える。

## 【0025】

第1のバイパス回路部12は、信号バイパス用FETQ2、バイパス信号強度調整用抵抗Rc1、抵抗Rg2～Rg4、結合容量Cb1および接地容量Cs1から構成されている。結合容量Cb1はその一端が入力端子14、即ち信号増幅用FETQ1のゲートに接続されている。信号バイパス用FETQ2は、そのドレインが結合容量Cb1の他端に接続されている。

## 【0026】

抵抗Rg2は信号バイパス用FETQ2のゲートとバイパス制御端子19との間に接続されており、バイパス制御端子19に印加されるバイパス制御電圧CTL1を信号バイパス用FETQ2のゲートに与える。バイパス信号強度調整用抵抗Rc1はその一端が信号バイパス用FETQ2のソースに接続され、その他端が接地容量Cs1を介して接地されている。

## 【0027】

抵抗R<sub>g</sub>3はバイパス信号強度調整用抵抗R<sub>c</sub>1の他端とバイアス入力端子17との間に接続されており、バイアス入力端子17に印加されるバイアス電圧VDD2に応じたソースバイアス電圧を、バイパス信号強度調整用抵抗R<sub>c</sub>1を通して信号バイパス用FETQ2のソースに与える。抵抗R<sub>g</sub>4は信号バイパス用FETQ2のドレインとバイアス入力端子17との間に接続されており、バイアス入力端子17に印加されるバイアス電圧VDD2に応じたドレインバイアス電圧を信号バイパス用FETQ2のドレインに与える。

## 【0028】

第2のバイパス回路部13は、信号バイパス用FETQ3、バイパス電力調整用抵抗R<sub>c</sub>2、抵抗R<sub>g</sub>5, R<sub>g</sub>6および結合容量C<sub>b</sub>2から構成されている。信号バイパス用FETQ3はそのドレインが信号バイパス用FET2のドレインに接続されている。抵抗R<sub>g</sub>5は信号バイパス用FETQ3のゲートとバイパス制御端子20との間に接続されており、バイパス制御端子20に印加されるバイパス制御電圧CTL2を信号バイパス用FETQ3のゲートに与える。

## 【0029】

バイパス電力調整用抵抗R<sub>c</sub>2はその一端が信号バイパス用FETQ3のソースに接続され、その他端が結合容量C<sub>b</sub>2を介して信号増幅用FETQ1のドレイン（信号出力端子15）に接続されている。抵抗R<sub>g</sub>6はバイパス電力調整用抵抗R<sub>c</sub>2の他端とバイアス入力端子17との間に接続されており、バイアス入力端子17に印加されるバイアス電圧VDD2に応じたソースバイアス電圧を、バイパス電力調整用抵抗R<sub>c</sub>2を介して信号バイパス用FETQ3のソースに与える。

## 【0030】

斯かる構成の第1実施形態に係る利得制御高周波増幅回路では、バイパス制御端子19, 20に印加するバイパス制御電圧CTL1, CTL2を入力信号RF<sub>in</sub>の強度、例えば強電界、中電界、弱電界に応じてステップ的にコントロールすることによって利得減衰制御が行われることになる。なお、信号増幅用FETQ1および信号バイパス用FETQ2, Q3は、化合物半導体を用いた素子で形

成されている。

#### 【0031】

ここで、例えばJ-CDMA (cdmaOne) の妨害波規格については、FER (Frame Error Rate)  $\leq 1\%$ を次の条件で満足する必要がある。その条件は、妨害2波入力レベルについては強電界で $-21\text{dBm}$ 、中電界で $-32\text{dBm}$ 、弱電界で $-43\text{dBm}$ 、希望波入力レベルについては強電界で $-79\text{dBm}$ 、中電界で $-90\text{dBm}$ 、弱電界で $-101\text{dBm}$ である。

#### 【0032】

次に、上記構成の利得制御高周波增幅回路における利得制御の動作について、高利得時、中利得時、低利得（減衰）時に分けて説明する。

#### 【0033】

高利得時には、バイパス制御端子19, 20に印加するバイパス制御電圧CTL1, CTL2をコントロールすることにより、信号バイパス用FETQ2, Q3と共にオフさせる。これは、信号バイパス用FETQ2, Q3のドレイン-ソース間抵抗をいずれも無限大に設定することに相当する。また、バイアス入力端子18に印加するバイアス電圧VGG1をコントロールすることにより、信号増幅用FETQ1のドレインバイアス電流を所望の値、例えば図7に示した高利得条件に設定する。これにより、本利得制御高周波增幅回路は、バイパス経路（第1, 第2のバイパス回路部12, 13）への信号が完全に遮断されるため、最大利得を得ることができる。

#### 【0034】

中利得時には、バイパス制御電圧CTL1, CTL2をコントロールすることにより、信号バイパス用FETQ2を完全にオン、信号バイパス用FETQ3をオフさせる。これにより、第2のバイパス回路部13側については、信号バイパス用FETQ3がオフであることから、出力側への信号のバイパス経路は完全に遮断される。一方、第1のバイパス回路部12側については、信号バイパス用FETQ2のドレイン-ソース間オン抵抗とバイパス信号強度調整用抵抗Rc1とで決定づけられる信号強度分だけ接地側へバイパスされる。その結果、利得が減衰される。

## 【0035】

また、バイアス電圧VGGをコントロールすることにより、信号増幅用FET Q1のドレインバイアス電流を所望の値に設定する。例えば、接地側へのバイパス信号強度（減衰量）およびドレインバイアス電流を図7に示す中利得条件に設定する。これにより、本利得制御高周波増幅回路は、所望の中利得を得ることができる。

## 【0036】

低利得（減衰）時には、バイパス制御電圧CTL1, CTL2をコントロールすることにより、信号バイパス用FETQ2をオフ、信号バイパス用FETQ3をオンさせる。これにより、第1のバイパス回路部12側については、信号バイパス用FETQ2がオフであることから、接地側への信号のバイパス経路は完全に遮断される。一方、第2のバイパス回路部13側については、信号バイパス用FETQ3のドレイン-ソース間オン抵抗とバイパス電力調整用抵抗Rc2とで決定づけられる信号強度分だけ出力側へバイパスされる。

## 【0037】

また、バイアス電圧VGGをコントロールすることにより、信号増幅用FET Q1のドレインバイアス電流を遮断する。信号増幅用FET Q1のドレインバイアス電流を遮断すれば、信号増幅用FET Q1は増幅器（能動素子）としてはもはや動作しない。そして、信号増幅用FET Q1のゲートとドレインとの間にはゲート-ドレイン間容量Cgdで決定される結合容量しか存在しない。

## 【0038】

しかも、例えばゲート幅400μmのGaAsFETのゲート-ドレイン間容量Cgdは0.1pF程度であることから、800MHz帯の周波数では信号増幅用FET Q1のゲート-ドレイン間経路の信号減衰量は20数dBに達し、信号バイパス用FET Q3のバイパス経路の減衰量を数dB程度に設定すれば、信号増幅用FET Q1による減衰量の寄与分も無視できる。

## 【0039】

以上から、本条件での信号は信号バイパス用FET Q3のドレイン-ソース間オン抵抗とバイパス電力調整用抵抗Rc2とで決定づけられる信号強度分だけ減

衰して出力される受動動作であることから、本質的に低歪みである。また、信号增幅用FETQ1を低バイアスドレイン電流設定にした利得が不安定な能動動作条件を利用していないため、安定動作が実現可能である。さらに、信号增幅用FETQ1のバイアスドレイン電流を完全に遮断できることから、低消費電流化という点でも優れた構成と言える。

## 【0040】

## [第2実施形態]

図2は、本発明の第2実施形態に係る半導体集積回路である利得制御高周波增幅回路を示す回路図であり、図中、図1と同等部分には同一符号を付して示している。本実施形態に係る利得制御高周波增幅回路は、第1実施形態に係る利得制御高周波增幅回路における增幅回路部11および第1, 第2のバイパス回路部12, 13に加えて、信号增幅用FETQ1のバイアスドレイン電流を利得減衰ステップに合わせて減ずる制御を行う制御回路部21を新たに構成要素として有する構成となっている。

## 【0041】

なお、増幅回路部11および第1, 第2のバイパス回路部12, 13の具体的な構成については、第1実施形態の場合と全く同じであるため、ここではその説明を省略するものとする。以下、制御回路部21の具体的な回路構成について説明する。

## 【0042】

制御回路部21は、複数個、例えば2個のバイアス電流遮断用FETQ4, Q5、抵抗Rg7, Rg8、セルフバイアス抵抗Rs1, Rs2および接地容量Cs2を有する構成となっている。ここで、バイアス電流遮断用FETQ4, Q5も、信号增幅用FETQ1および信号バイパス用FETQ2, Q3と同様に、化合物半導体を用いた素子で形成されている。

## 【0043】

信号增幅用FETQ1のソースは、接地容量Cs2を介して接地されている。この信号增幅用FETQ1のソースには、バイアス電流遮断用FETQ4, Q5の各ドレインが接続されている。抵抗Rg7, Rg8は、バイアス電流遮断用F

E T Q 4, Q 5の各ゲートと制御端子 22, 23との間にそれぞれ接続されており、制御端子 22, 23に印加されるドレンバイアス電流制御電圧 C T L 3, C T L 4をバイアス電流遮断用 F E T Q 4, Q 5の各ゲートに与える。セルフバイアス抵抗 R s 1, R s 2は、バイアス電流遮断用 F E T Q 4, Q 5の各ソースと接地との間に接続されている。

## 【0044】

斯かる構成の第2実施形態に係る利得制御高周波増幅回路では、バイアス入力端子 18に印加されるバイアス電圧 V G Gを固定とし、信号増幅用 F E T Q 1のソース側に接続された抵抗 R s 1, R s 2によるセルフバイアス回路でのバイアス電流の安定化を実現しつつセルフバイアス抵抗値をステップ的に変化させることで、ドレンバイアス電流の制御をステップで行うことを可能としている。利得制御回路部、即ち第1, 第2のバイパス回路部 12, 13の回路動作については第1実施形態の場合と同じであるため、以下に、制御回路部 21におけるドレンバイアス電流の制御についてのみ、高利得時、中利得時、低利得（減衰）時に分けて回路動作を説明する。

## 【0045】

高利得時には、制御端子 22, 23に印加されるドレンバイアス電流制御電圧 C T L 3, C T L 4をコントロールすることにより、バイアス電流遮断用 F E T Q 4, Q 5と共にオンさせる。このとき、ドレンバイアス電流は、抵抗 R s 1, R s 2の並列合成のセルフバイアス抵抗値、即ち  $R s 1 \cdot R s 2 / (R s 1 + R s 2)$  で与えられる値に設定される。

## 【0046】

中利得時には、制御端子 22, 23に印加されるドレンバイアス電流遮断用 F E T Q 4, C T L 3, C T L 4をコントロールすることにより、バイアス電流は、F E T Q 5をオフさせる。このとき、~~ドレンバイアス電流は、~~当然のことながら、 $R s 1 > R s 1 \cdot R s 2 / (R s 1 + R s 2)$  で与えられるドレンバイアス電

## 【0047】

低利得（減衰）時には、制御端子

流制御電圧CTL3, CTL4をコントロールすることにより、バイアス電流遮断用FETQ4, Q5と共にオフさせる。このとき、セルフバイアス抵抗値は無限大になるため、ドレインバイアス電流は完全に遮断される。

## 【0048】

上述したように、本実施形態に係る利得制御高周波增幅回路では、制御回路部21においてドレインバイアス電流制御電圧CTL3, CTL4をコントロールすることによってドレインバイアス電流の切り替えを、高利得時、中利得時、低利得時に対応してステップ的に行う構成となっているため、バイアス電圧VGGをコントロールする構成の第1実施形態に係る利得制御高周波增幅回路に比較して、ドレインバイアス電流の切り替えを容易に実現することができる。

## 【0049】

なお、本実施形態に係る制御回路部21では、2個のバイアス電流遮断用FETQ4, Q5を用いてドレインバイアス電流の切り替えを高利得時、中利得時、低利得時に対応して3段階で行うとしたが、必ずしも3段階の切り替えに限られるものではなく、バイアス電流遮断用FETの数を増やしてさらに多段階の切り替えを行うようにすることも可能である。

## 【0050】

## [第3実施形態]

図3は、本発明の第3実施形態に係る半導体集積回路である利得制御高周波增幅回路を示す回路図である。

## 【0051】

本実施形態に係る利得制御高周波增幅回路は、増幅回路部31、第1、第2のバイパス回路部32, 33および制御回路部34からなり、入力信号RFinが印加される信号入力端子35、出力信号RFoutが導出される信号出力端子36、バイアス電圧VDD1, VDD2がそれぞれ印加されるバイアス入力端子37, 38、バイアス電圧VGG1, VGG2がそれぞれ印加されるバイアス入力端子39, 40、外部からバイパス制御電圧CTL1, CTL2がそれぞれ印加されるバイパス制御端子41, 42および外部からドレインバイアス電流制御電圧CTL3, CTL4がそれぞれ印加される制御端子43, 44を有する構成と

なっている。

#### 【0052】

続いて、増幅回路部31、第1、第2のバイパス回路部32、33および制御回路部34の具体的な回路構成について説明する。なお、図1と同等の機能を持つ回路素子については同一符号を付して示している。

#### 【0053】

増幅回路部31は、信号増幅用FETQ1、バイアス抵抗Rg1およびチョークコイルLbに加えて、FETQ6、バイパス容量Cs3およびバイアス抵抗Rg9を有している。FETQ6は信号増幅用FETQ1とカスコード接続されている。具体的には、FETQ6のソースが信号増幅用FETQ1のドレインに接続され、FETQ6のドレインから出力を取り出す構成となっている。

#### 【0054】

カスコード接続の増幅回路は、1段のFET増幅回路に比較してより高利得を得ることが可能である。FETQ6のゲートは、バイパス容量Cs3を介して接地されている。このFETQ6のゲートバイアス電圧として、バイアス入力端子40に印加されるバイアス電圧VGG2がバイアス抵抗Rg9を介して与えられる。

#### 【0055】

信号増幅用FETQ1、バイアス抵抗Rg1およびチョークコイルLbの接続関係については第1実施形態に係る増幅回路部11と同じである。なお、第2実施形態の場合と同様に、制御回路部34が設けられていることから、信号増幅用FETQ1のソースは、制御回路部34の接地容量Cs2を介して接地されている。

#### 【0056】

第1のバイパス回路部32については、信号バイパス用FETQ2、バイパス信号強度調整用抵抗Rc1、抵抗Rg2～Rg4、結合容量Cb1および接地容量Cs1からなる基本的な構成は第1実施形態に係る第1のバイパス回路部12と同じである。ただし、信号バイパス用FETQ2がM個（Mは1以上の整数）直列に接続された構成となっている。

## 【0057】

すなわち、1段目のFETQ21のドレインが結合容量Cb1を介して信号増幅用FETQ1のゲートに接続され、そのソースが2段目のFETQ22のドレインに、以下各段同様の接続関係となり、最終的に、M-1段目のFETQ2M-1のソースが最終段のFETQ2Mのドレインに接続されている。そして、これら各段のFETQ21～FETQ2Mの各ゲートには、バイパス制御端子41に印加されるバイパス制御電圧CTL1が抵抗Rg21～抵抗Rg2Mを介して与えられる。

## 【0058】

第1のバイパス回路部32における他の回路素子、即ちバイパス信号強度調整用抵抗Rc1、抵抗Rg3、Rg4、結合容量Cb1および接地容量Cs1の接続関係については、第1実施形態に係る第1のバイパス回路部12の場合と同じである。

## 【0059】

第2のバイパス回路部33についても、信号バイパス用FETQ3、バイパス電力調整用抵抗Rc2、抵抗Rg5、Rg6および結合容量Cb2からなる基本的な構成は、第1実施形態に係る第2のバイパス回路部13と同じである。ただし、信号バイパス用FETQ3がN個（Nは1以上の整数）直列に接続された構成となっている。

## 【0060】

すなわち、1段目のFETQ31のドレインが結合容量Cb1を介して信号増幅用FETQ1のゲートに接続され、そのソースが2段目のFETQ32のドレインに、以下各段同様の接続関係となり、最終的に、N-1段目のFETQ3N-1のソースが最終段のFETQ3Nのドレインに接続されている。そして、これら各段のFETQ31～FETQ3Nの各ゲートには、バイパス制御端子42に印加されるバイパス制御電圧CTL2が抵抗Rg51～抵抗Rg5Nを介して与えられる。

## 【0061】

第2のバイパス回路部33における他の回路素子、即ちバイパス電力調整用抵

抗Rc2、抵抗Rg6および結合容量Cb2の接続関係については、第1実施形態に係る第2のバイパス回路部13と同じである。

#### 【0062】

斯かる構成の第3実施形態に係る利得制御高周波增幅回路は、信号バイパス用FETQ2、Q3がそれぞれ複数個直列に接続された構成となっている以外は、第2実施形態に係る利得制御高周波增幅回路の構成と同じである。したがって、利得制御の基本的な動作についても、第2実施形態に係る利得制御高周波增幅回路のそれと同じである。ただし、本実施形態に係る利得制御高周波增幅回路は、より高周波帯向けに適用する場合に有利となる。

#### 【0063】

なぜなら、FETをオフしたときのドレイン-ソース間抵抗は無限大と仮定して差し支えないものの、ドレインとソース間の容量CoffはGaAsFETの場合ゲート幅400μm当たりでは0.1pF程度であるため、信号バイパス用FETQ2、Q3が1段では特により高周波用途において無視できず、接地側および出力側へのバイパスFET(Q2、Q3)の遮断時における最大利得低下を招いてしまうからである。

#### 【0064】

したがって、本実施形態に係る利得制御高周波增幅回路のように、信号バイパス用FETQ2、Q3を多段接続した構成を探ることにより、ドレイン-ソース間の総合容量Coffを低減させることができるために、利得低下の悪影響を避けることが可能となる。なお、信号バイパス用FETQ2、Q3を多段接続する段数M、Nとしてはそれぞれ任意の数を設定可能であり、また各段数が同じ(M=N)が同じであっても良い。

#### 【0065】

##### [適用例]

以上説明した第1～第3実施形態に係る利得制御高周波增幅回路は、例えばCDMA方式携帯電話装置におけるRFフロントエンド部の利得制御高周波增幅回路(AGCアンプ)を構成するのに用いられる。図4は、CDMA方式携帯電話装置におけるRFフロントエンド部の構成の一例を示すブロック図である。

## 【0066】

図4において、アンテナ41で受信された受信波は、送信／受信に共用される帯域振分けフィルタ42を通過し、AGCアンプ43で信号レベルが一定にされた後ミキサ44に供給される。ミキサ44では、局部発振器45からの局部発振周波数と混合されることによって中間周波（I F）に変換された後、信号強度検出回路46および後段のベースバンドIC（図示せず）に供給される。

## 【0067】

一方、送信側では、前段のベースバンドICから供給されるI F信号がミキサ47に供給され、ここで局部発振器48からの局部発振周波数と混合されてR F信号に変換される。そして、このR F信号は、パワーアンプ49で増幅された後帯域振分けフィルタ42を経てアンテナ41に供給され、このアンテナ41から電波として送信される。

## 【0068】

上記構成のCDMA方式携帯電話装置のR Fフロントエンド部において、受信側のAGCアンプ43として、先述した第1～第3実施形態に係る利得制御高周波増幅回路が用いられる。また、信号強度検出回路46は、例えばI F信号に基づいて受信入力信号の信号強度を検出し、その強度に応じた制御信号を、バイパス制御電圧CTL1, CTL2やドレインバイアス電流制御電圧CTL3, CTL4としてAGCアンプ43に与える。

## 【0069】

このように、携帯電話などの低消費電流化の要求が厳しい携帯型無線通信装置における受信フロントエンド部において、AGCアンプ43として第1～第3実施形態に係る利得制御高周波増幅回路を用いることにより、I I P 3特性を劣化させない程度に保ちながら利得減衰時の低消費電流化を図ることができるため、消費電流を従来技術に比較して平均的には半分以下へ低減可能である。したがって、小型バッテリ駆動が必要である携帯端末に適用することで、長時間動作に大きく貢献できることになる。

## 【0070】

なお、上記適用例では、CDMA方式携帯電話装置に適用した場合を例にとっ

て説明したが、本発明はこの適用例に限定されるものではなく、無線通信装置全般に適用することが可能である。

## 【0071】

## 【発明の効果】

以上説明したように、本発明によれば、少なくとも1段の信号増幅用トランジスタを有する半導体集積回路あるいはこれをRFフロントエンド部に用いた無線通信装置において、入力信号の強度に応じて当該入力信号の一部を接地側へバイパスさせる手段と、入力信号の強度に応じて当該入力信号の一部を出力側へバイパスさせる手段とを設けて利得減衰制御を行うことにより、IIP3特性を劣化させない程度に保ちながら利得減衰時の低消費電流化を図ることができる。

## 【図面の簡単な説明】

## 【図1】

本発明の第1実施形態に係る利得制御高周波増幅回路を示す回路図である。

## 【図2】

本発明の第2実施形態に係る利得制御高周波増幅回路を示す回路図である。

## 【図3】

本発明の第3実施形態に係る利得制御高周波増幅回路を示す回路図である。

## 【図4】

CDMA方式携帯電話装置におけるRFフロントエンド部の構成の一例を示すブロック図である。

## 【図5】

従来例に係る利得制御高周波増幅回路を示す回路図である。

## 【図6】

従来例に係る利得制御高周波増幅回路における非利得減衰時の利得およびIIP3のドレインバイアス電流依存性を示す図である。

## 【図7】

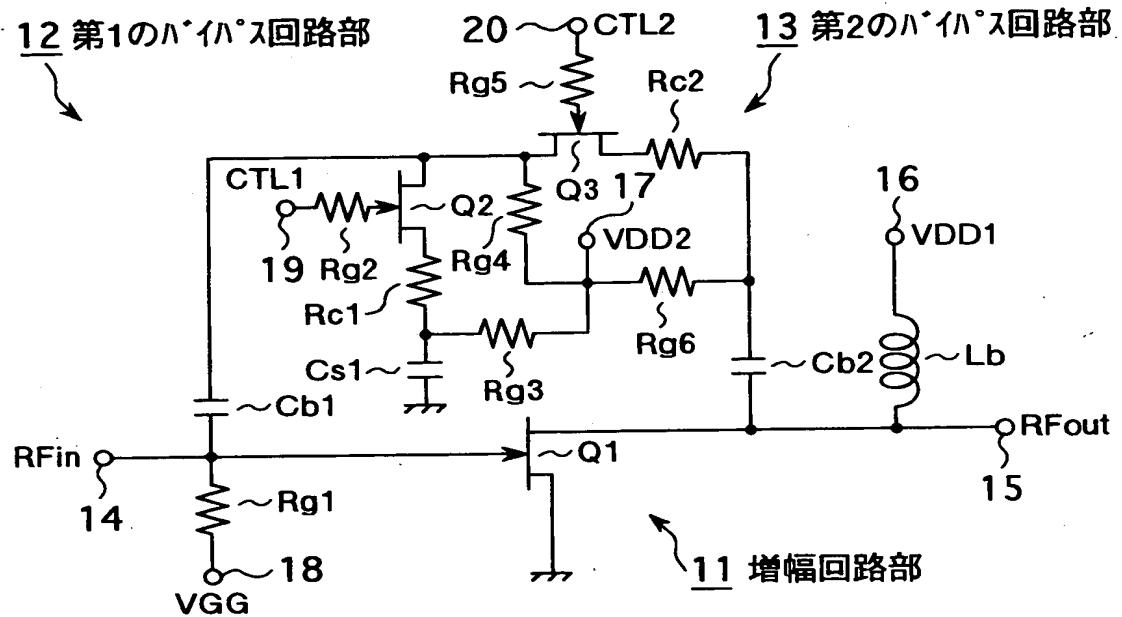
IIP3を一定に保持するための利得減衰時におけるドレインバイアス電流と入力信号減衰量との関係を示す図である。

## 【符号の説明】

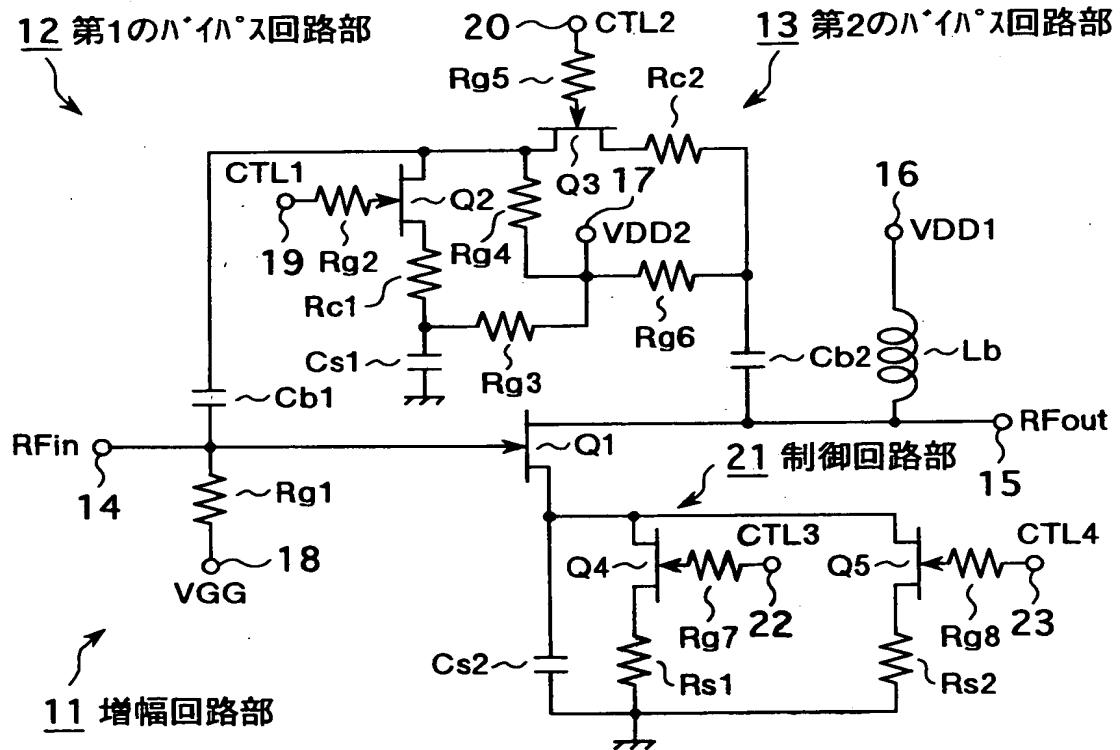
11, 31…增幅回路部、12, 32…第1のバイパス回路部、13, 33…  
第2のバイパス制御部、21, 34…制御回路部、Q1…信号増幅用FET、Q  
2, Q21～Q2M…接地側への信号バイパス用FET、Q3, Q31～Q3N  
…出力側への信号バイパス用FET

【書類名】 図面

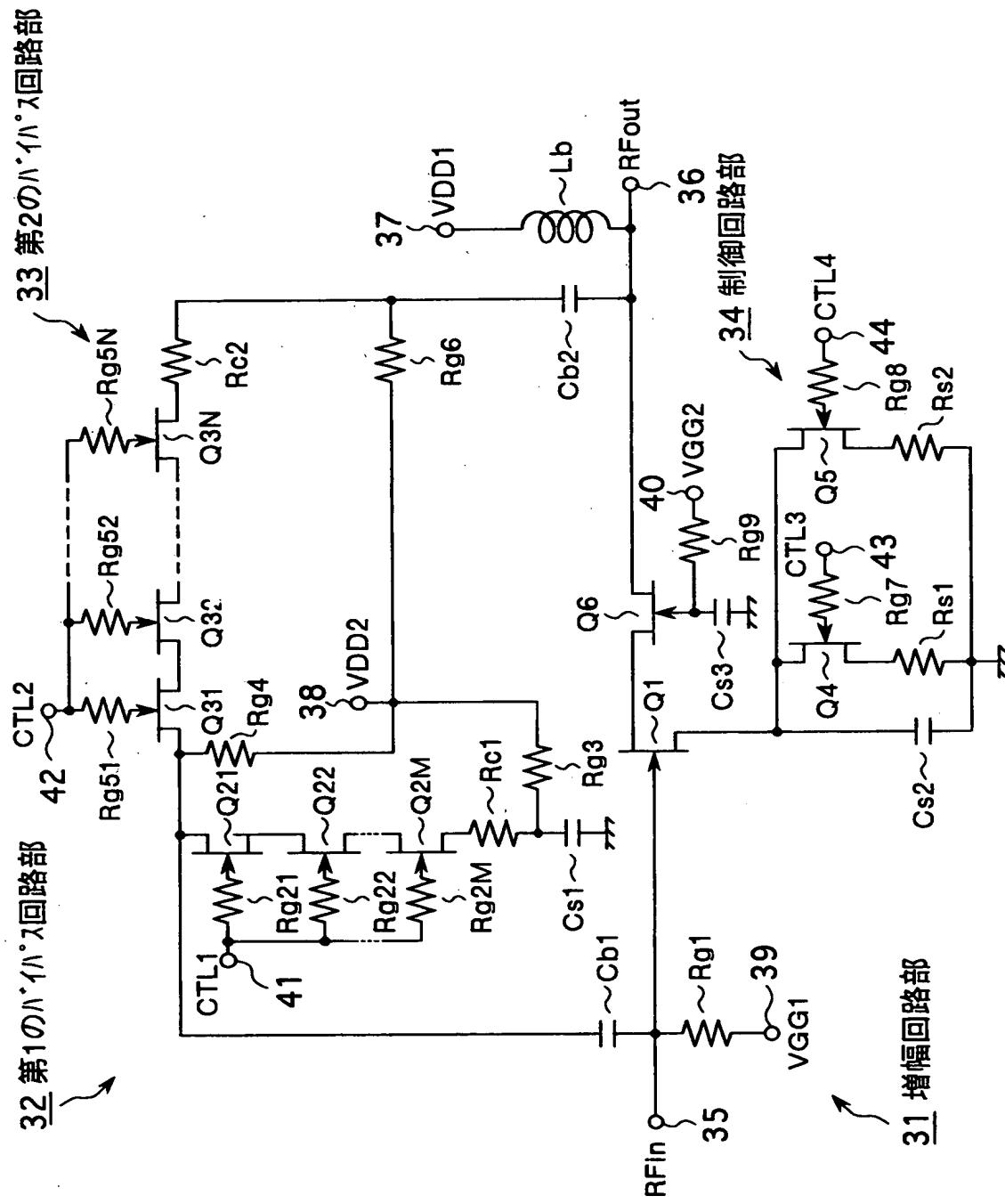
【図1】



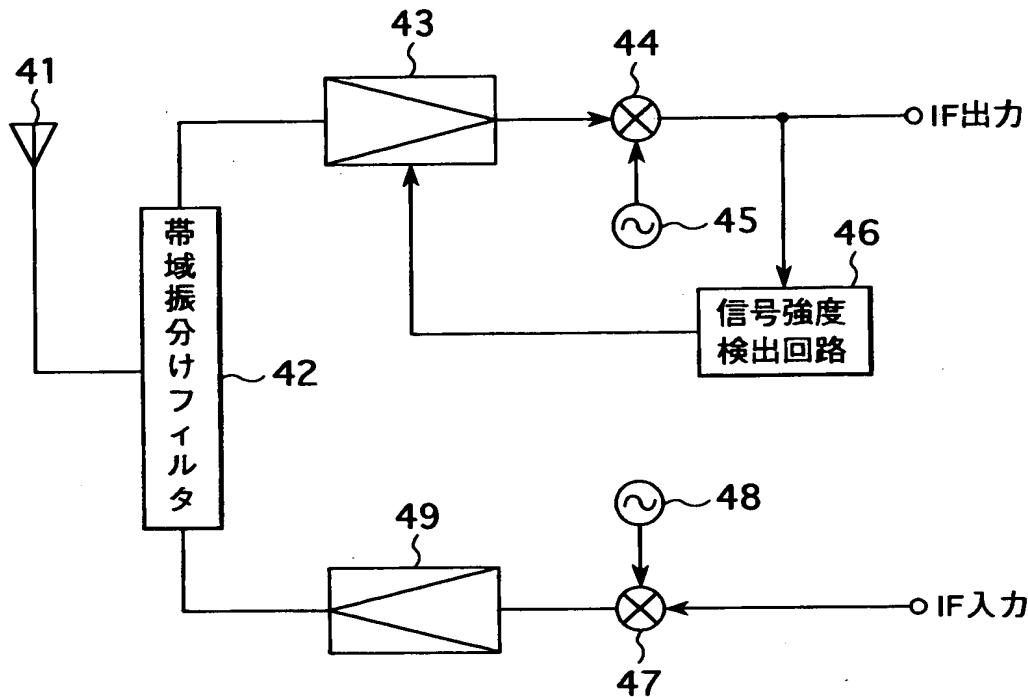
【図2】



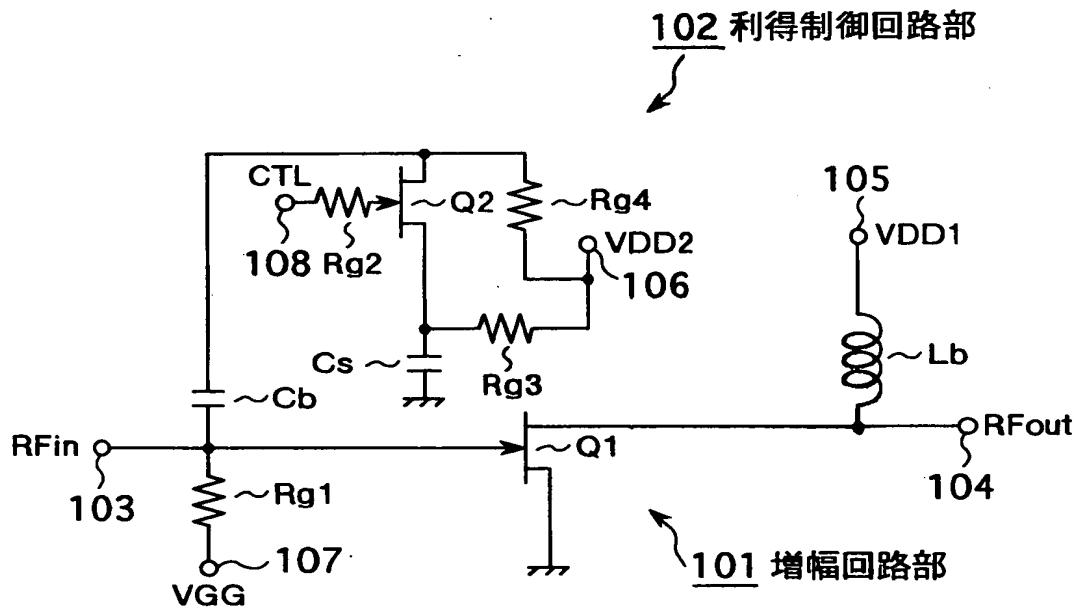
【図3】



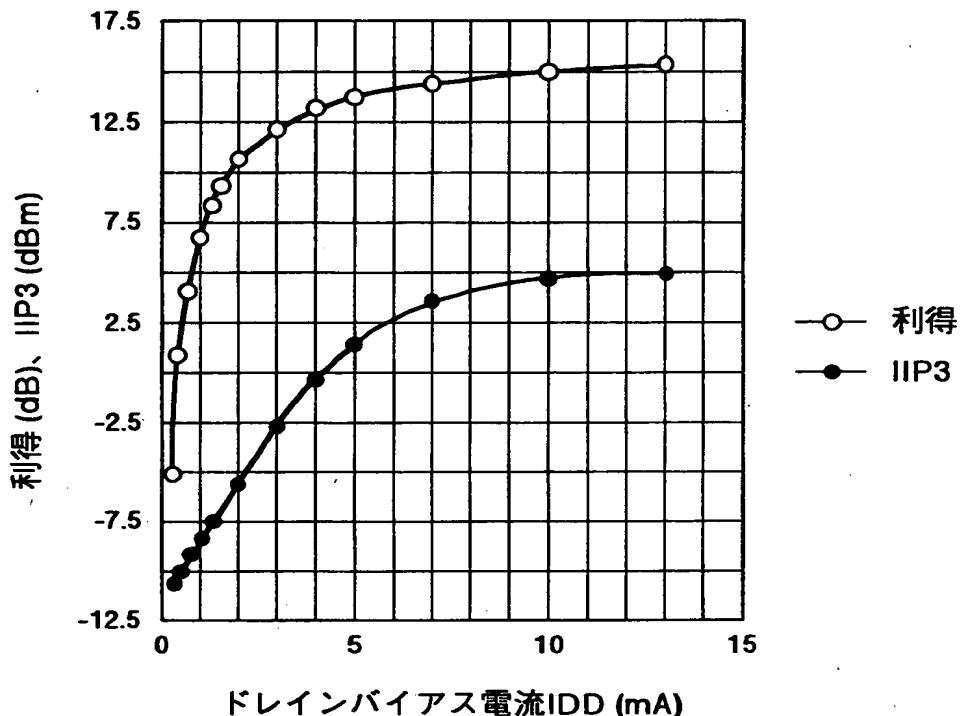
【図4】



【図5】



【図6】



【図7】

	利得 (dB)	トレンハ・イアス 電流(mA)	入力信号減衰量(dB)
高利得	15	10	0
中利得	5	3	7
低利得	-5	1	12

【書類名】 要約書

【要約】

【課題】 入力信号の一部を接地側へバイパスさせた場合、利得を減衰させた分だけ IIP3 特性を向上できるが、システム設計上オーバースペックとなる。

【解決手段】 信号増幅用 FETQ1 を含む增幅回路部 11 に対して、入力信号 RFin の強度に応じて入力信号 RFin の一部を接地側へバイパスさせる第 1 のバイパス回路部 12 と、入力信号 RFin の強度に応じて入力信号 RFin の一部を出力側へバイパスさせる第 2 のバイパス回路部 13 を設けて利得減衰制御を行うとともに、第 1 のバイパス回路部 12 によって入力信号 RFin の一部を接地側へバイパスするときに信号増幅用 FETQ1 のドレインバイアス電流を減じ、第 2 のバイパス回路部 13 によって入力信号 RFin の一部を出力側へバイパスするときに信号増幅用 FETQ1 のドレインバイアス電流を遮断する制御回路部 21 を設けてドレインバイアス電流制御を行うようとする。

【選択図】 図 2

出願人履歴情報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社